

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-268022

(43) 公開日 平成5年(1993)10月15日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/00	F	9184-5 J		
G 0 6 F 1/06		7368-5 B	G 0 6 F 1/04	3 1 0 A

審査請求 未請求 請求項の数1(全 8 頁)

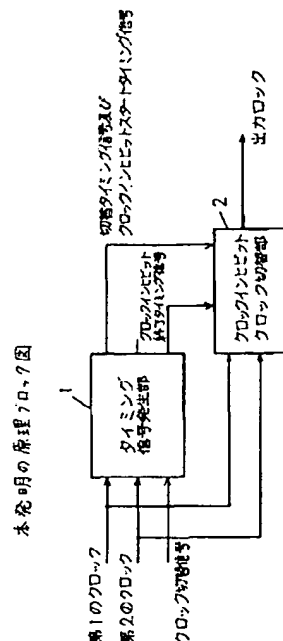
(21) 出願番号	特願平4-62458	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22) 出願日	平成4年(1992)3月18日	(72) 発明者	山崎 幸男 栃木県小山市城東3丁目28番1号 富士通 ディジタル・テクノロジー株式会社内
		(74) 代理人	弁理士 井桁 貞一

(54) 【発明の名称】 クロック切替回路

(57) 【要約】

【目的】 第1のクロックと、非同期の第2のクロックとを切り替えるクロック切替回路に関し、切り替えた時該クロックより周波数の高い状態を発生しないクロック切替回路の提供を目的とする。

【構成】 第1のクロックと、非同期の第2のクロックと、クロック切替信号を入力し、クロック切替信号が第1のクロックより第2のクロックへの切り替え信号となると、第1のクロックの立ち下がりで切り替えタイミング及びクロックインヒビットスタートタイミングの信号を出力し、第2のクロックの立ち下がりでクロックインヒビット終了タイミングの信号を出力するタイミング信号発生部1と、第1、第2のクロック及び上記のタイミングの信号を入力し、切り替えタイミングで第1のクロックより第2のクロックに切り替え、且つ該クロックインヒビットスタートタイミングよりクロックインヒビット終了タイミング迄のクロックをインヒビットして第2のクロックを出力するクロックインヒビット・クロック切替部2とを有する構成とする。



1

【特許請求の範囲】

【請求項1】 第1のクロックと、周波数は同じだが位相の異なる第2のクロックと、クロック切替信号を入力し、クロック切替信号が第1のクロックより第2のクロックへの切り替え信号となると、該第1のクロックの立ち下がりで切り替えタイミング及びクロックインヒビットスタートタイミングの信号を出力し、該第2のクロックの立ち下がりでクロックインヒビット終了タイミングの信号を出力するタイミング信号発生部(1)と、

該第1、第2のクロック及び該切り替えタイミング及びクロックインヒビットスタートタイミングの信号及び該クロックインヒビット終了タイミングの信号を入力し、該切り替えタイミングで該第1のクロックより該第2のクロックに切り替え、且つ該クロックインヒビットスタートタイミングより該クロックインヒビット終了タイミング迄のクロックをインヒビットして該第2のクロックを出力するクロックインヒビット・クロック切替部(2)とを有することを特徴とするクロック切替回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、第1のクロックと、周波数は同じだが位相の異なる第2のクロックとを切り替えるクロック切替回路の改良に関する。

【0002】

【従来の技術】 図6は従来例のクロック切替回路のブロック図、図7はクロックAからクロックBに切り替え時の図6の各部のタイムチャート、図8はクロックBからクロックAに切り替え時の図6の各部のタイムチャートである。

【0003】 図6のクロック切替回路は、図7、図8(A)に示すクロックAから(B)に示す周波数は同じだが位相の異なるクロックBに切り替える場合、Hレベルの期間が短くなり周波数が該クロックを使用する装置の動作限界を越えないようにする為、クロックAとクロックB共にLレベルになつた時切り替えるようにしているものであり、クロックAとクロックBはラッチパルス生成部20及びクロック切替部22に入力し、図7、図8(C)に示すクロックAよりクロックB又はクロックBよりクロックAへの切り替える切替信号はクロック切替タイミング生成部21に入力している。

【0004】 ラッチパルス生成部20では、図7、図8(D)に示すクロックAとクロックBが共にLレベルの間Hレベルのパルスを生成し、クロック切替タイミング生成部21に入力し、クロック切替タイミング生成部21では、図7(C)に示す如く切替信号がクロックAからクロックBに切り替えるHレベルになると、次のラッチパルス生成部20にて発したパルスにて図7(E)に示す如き切替タイミングの信号を生成しクロック切替部22に入力する。

【0005】 すると、クロック切替部22では図7

2

(F)に示す如く、クロックAを出力していたものをクロックBに切り替え出力する。又図8(C)に示す如く切替信号がクロックBからクロックAに切り替えるLレベルになると、次のラッチパルス生成部20にて発したパルスにて図8(E)に示す如き切替タイミングの信号を生成しクロック切替部22に入力する。

【0006】 すると、クロック切替部22では図8(F)に示す如く、クロックBを出力していたものをクロックAに切り替え出力する。

【0007】

【発明が解決しようとする課題】 しかしながら、従来のクロック切替回路では、クロックAからクロックBに切り替えた時、図7(F)のイに示す如く、クロックAとクロックBが共にLレベルの間Lレベルとなる、クロックA、クロックBの周波数より高いひげ状のパルス状態が発生し、このひげ状のパルスの周波数がこのクロックを使用する装置の動作限界を越えると装置が誤動作を起こす問題点がある。

【0008】 本発明は、一方のクロックを周波数は同じだが位相の異なる他方のクロックに切り替えた時該クロックより周波数の高い状態を発生しないクロック切替回路の提供を目的としている。

【0009】

【課題を解決するための手段】 図1は本発明の原理ブロック図である。図1に示す如く、第1のクロックと、周波数は同じだが位相の異なる第2のクロックと、クロック切替信号を入力し、クロック切替信号が第1のクロックより第2のクロックへの切り替え信号となると、該第1のクロックの立ち下がりで切り替えタイミング及びクロックインヒビットスタートタイミングの信号を出力し、該第2のクロックの立ち下がりでクロックインヒビット終了タイミングの信号を出力するタイミング信号発生部1と、該第1、第2のクロック及び該切り替えタイミング及びクロックインヒビットスタートタイミングの信号及び該クロックインヒビット終了タイミングの信号を入力し、該切り替えタイミングで該第1のクロックより該第2のクロックに切り替え且つ該クロックインヒビットスタートタイミングより該クロックインヒビット終了タイミング迄のクロックをインヒビットして該第2のクロックを出力するクロックインヒビット・クロック切替部2とを有する構成とする。

【0010】

【作用】 図2は図1の各部のタイムチャートである。図2の前半は第1のクロックをクロックAとし、第2のクロックをクロックBとしクロックAよりクロックBへの変換の場合を示し、後半は第1のクロックをクロックBとし、第2のクロックをクロックAとし、クロックBよりクロックAへに変換して元に戻す場合を示している。

【0011】 本発明によれば、図2(A)に示すクロックAと図2(B)に示す周波数は同じだが位相の異なる

3

クロックB及び図2(C)に示すクロック切替信号がタイミング信号発生部1に入力しており、クロック切替信号がクロックAからクロックBに切り替える信号となると、クロックAの立ち下がりで切り替えタイミング及びクロックインヒビットスタートタイミングの信号を発し、クロックBの立ち下がりでクロックインヒビット終了タイミングの信号を発し、クロックインヒビット・クロック切替部2に入力する。

【0012】クロックインヒビット・クロック切替部2では、切り替えタイミングで出力をクロックAよりクロックBに切り替え、クロックインヒビットスタートタイミングよりクロックインヒビット終了タイミング迄の図2(B)の斜線を施した部分をインヒビットして図2(D)に示す如く出力する。

【0013】又後半の図2(C)に示すクロック切替信号がクロックBからクロックAに切り替える信号となると、タイミング信号発生部1では、クロックBの立ち下がりで切り替えタイミング及びクロックインヒビットスタートタイミングの信号を発し、クロックAの立ち下がりでクロックインヒビット終了タイミングの信号を発し、クロックインヒビット・クロック切替部2に入力する。

【0014】クロックインヒビット・クロック切替部2では、切り替えタイミングで出力をクロックBよりクロックAに切り替え、クロックインヒビットスタートタイミングよりクロックインヒビット終了タイミング迄の図2(A)の斜線を施した部分をインヒビットして図2(D)に示す如く出力する。

【0015】即ち、クロックを切り替えた時、第1、第2のクロックより周波数の高い状態を生じないので該クロックを使用する装置が誤動作をすることはなくなる。

【0016】

【実施例】図3は本発明の実施例のクロック切替回路の回路図、図4はクロックAからクロックBに切り替えた時の図3の各部のタイムチャート、図5はクロックBからクロックAに切り替えた時の図3の各部のタイムチャートである。

【0017】図3では、図4、図5(A)に示すクロックAはアンド回路12、15、31に入力し、図4、図5(B)に示すクロックBはアンド回路11、14、30に入力し、図4、図5(C)に示す切替信号はアンド回路12、14、フリップフロップ17に入力すると共に、ノット回路10にて反転されてアンド回路11、15に入力している。

【0018】図4(C)に示す切替信号がLレベルの時は、図3の、アンド回路11、12、ノア回路13よりなるクロック選択部33はクロックBを選択し、反転クロックBをフリップフロップ17のクロックとして入力し、アンド回路14、15、ノア回路16よりなるクロック選択部34はクロックAを選択し、反転クロックA

4

をフリップフロップ18のクロックとして入力している。

【0019】すると、フリップフロップ17の出力QはLレベルでフリップフロップ18及びアンド回路30に入力し、反転出力xQは図4(D)に示す如くHレベルでアンド回路31に入力すると共にオア回路19を介してアンド回路30、31に入力する。

【0020】従って、アンド回路30、31、ノア回路32よりなるクロックインヒビット・クロック切替部2よりは図4(G)に示す如くクロックAを出力している。切替信号が図4(C)に示す如くクロックBに切り替える為にHレベルとなると、クロック選択部33は選択をクロックAに切り替え、反転クロックAを出力し、クロック選択部34は選択をクロックBに切り替え、反転クロックBを出力するようになる。

【0021】するとフリップフロップ17の出力QはHレベルとなり、フリップフロップ18及びアンド回路30に入力し、反転出力xQは図4(D)に示す如く図4(A)に示すクロックAの立ち下がりでLレベルとなり、これが切り替えタイミングとなり、アンド回路31及びオア回路19に入力しオア回路19の出力は図4(A)に示すクロックAの立ち下がりでLレベルとなる。

【0022】フリップフロップ18の出力は図4(B)に示すクロックBの立ち下がりでHレベルとなり、オア回路19を介してアンド回路30、31に入力する。この時オア回路19の出力は図4(F)に示す如く、図4(A)に示すクロックAの立ち下がりから図4(B)に示すクロックBの立ち下がり迄の間Lレベルを出力し、クロックインヒビット・クロック切替部2のアンド回路30、31に入力する。

【0023】従って、クロックインヒビット・クロック切替部2では、図4(A)のクロックAの立ち下がりで出力をクロックBに切り替え、図4(B)の斜線で示す部分をインヒビットして図4(G)に示す如くクロックBを出力するようになる。

【0024】図5(C)に示す如く、切替信号がクロックBよりクロックAに切り替える為にLレベルとなると、クロック選択部33は選択をクロックBに切り替え、反転クロックBを出力し、クロック選択部34は選択をクロックAに切り替え、反転クロックAを出力するようになる。

【0025】するとクロックBの立ち下がりで、フリップフロップ17の出力QはHレベルとなり、フリップフロップ18及びアンド回路30に入力し、反転出力xQは図5(D)に示す如くクロックBの立ち下がりでLレベルとなり、これが切り替えタイミングとなり、アンド回路31及びオア回路19に入力しオア回路19の出力もクロックBの立ち下がりでLレベルとなる。

【0026】フリップフロップ18の出力はクロックA

の立ち下がりでHレベルとなり、オア回路19を介してアンド回路30、31に入力する。この時オア回路19の出力は図5(F)に示す如く、クロックAの立ち下がりからクロックBの立ち下がり迄の間Lレベルを出力し、クロックインヒビット・クロック切替部2のアンド回路30、31に入力する。

【0027】従って、クロックインヒビット・クロック切替部2では、クロックBの立ち下がりで出力をクロックAに切り替え、図5(A)の斜線で示す部分をインヒビットして図5(G)に示す如くクロックAを出力するようになる。

【0028】従って、クロックA、Bより周波数の高い状態は生ぜずクロックAよりクロックBに、又クロックBよりクロックAに切り替えが出来るようになる。

【0029】

【発明の効果】以上詳細に説明せる如く本発明によれば、一方のクロックを周波数は同じだが位相の異なる他方のクロックに切り替えた時、該クロックより周波数の高い状態を発生せずに切り替えることが出来、このクロックを使用する装置が誤動作を起こすことがなくなる効果がある。

【図面の簡単な説明】

【図1】は本発明の原理ブロック図、

【図2】は図1の各部のタイムチャート、

【図3】は本発明の実施例のクロック切替回路の回路図、

【図4】はクロックAからクロックBに切り替えた時の図3の各部のタイムチャート、

【図5】はクロックBからクロックAに切り替えた時の図3の各部のタイムチャート、

【図6】は従来例のクロック切替回路のブロック図、

【図7】はクロックAからクロックBに切り替え時の図6の各部のタイムチャート、

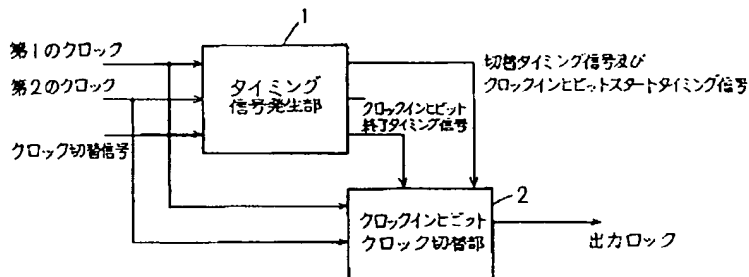
【図8】はクロックBからクロックAに切り替え時の図6の各部のタイムチャートである。

【符号の説明】

1はタイミング信号発生部、2はクロックインヒビット・クロック切替部、10はノット回路、11、12、14、15、30、31はアンド回路、13、16はノア回路、17、18はフリップフロップ、19、32はオア回路、20はラッチパルス生成部、21はクロック切替タイミング生成部、22はクロック切替部、33、34はクロック選択部を示す。

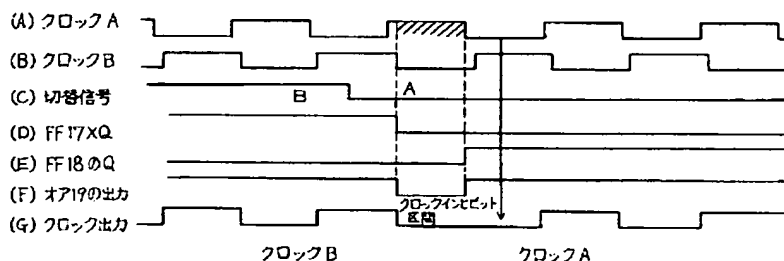
【図1】

本発明の原理ブロック図



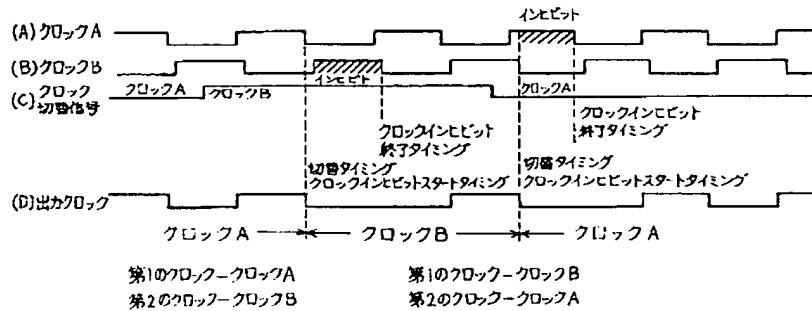
【図5】

クロックBからクロックAに切り替え時の図3の各部のタイムチャート



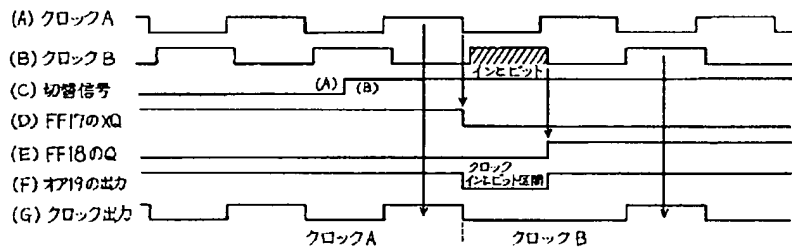
【図2】

図1の各部のタイムチャート



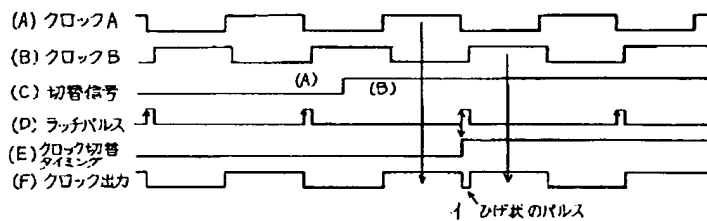
【図4】

クロック A からクロック B に切り替え時の図3の各部のタイムチャート

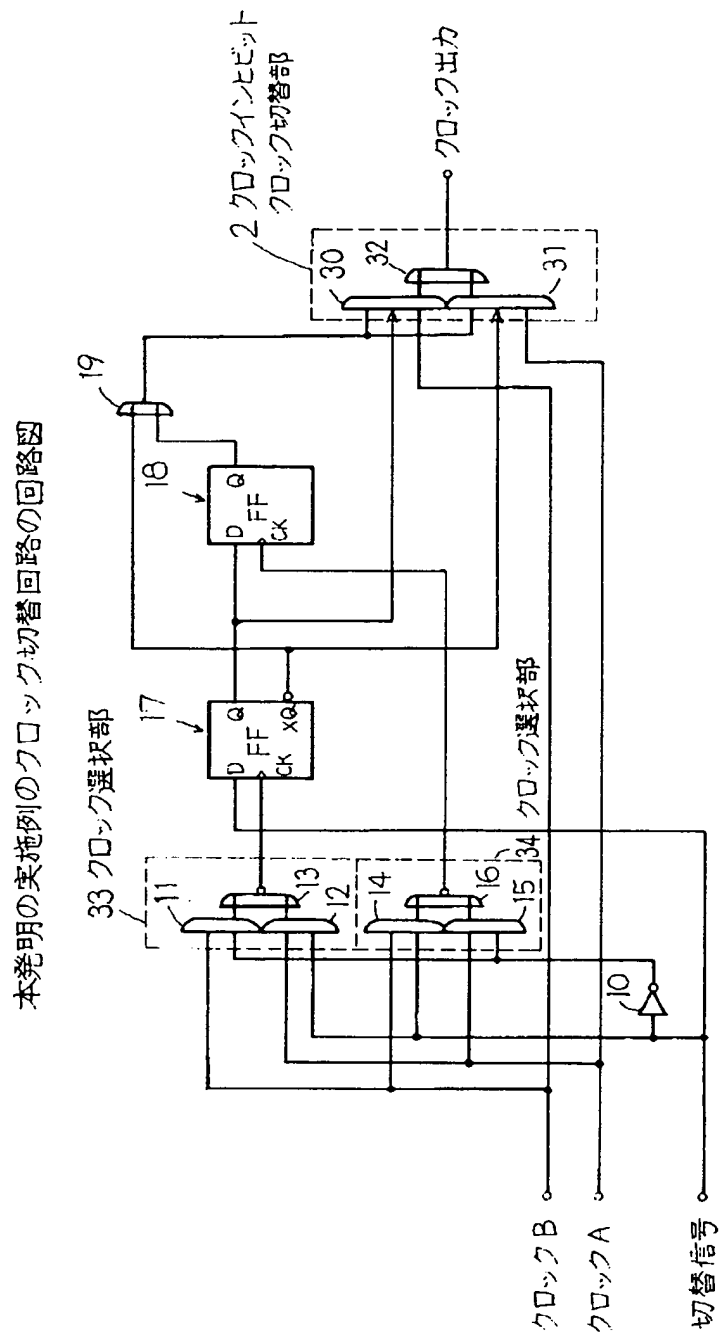


【図7】

クロック A からクロック B に切り替え時の図6の各部のタイムチャート

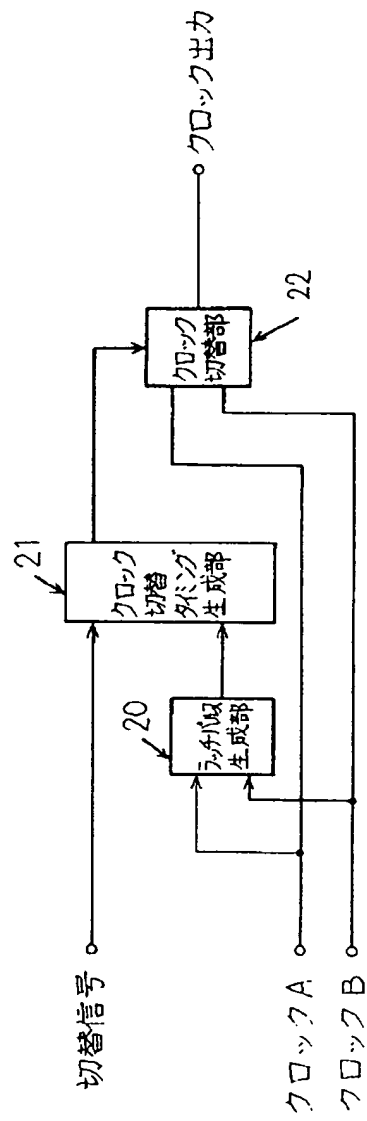


【图3】



【図6】

従来例のクロック切替回路のブロック図



【図8】

クロック B からクロック A に切り替え時の図 6 の各部のタイムチャート

